

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-136657

(43)Date of publication of application : 08.06.1988

(51)Int.Cl.

H01L 25/00
H05K 1/18

(21)Application number : 61-283701

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.11.1986

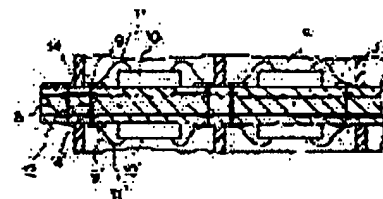
(72)Inventor : HATORI YASUO

(54) BOTH-SIDE MOUNTING ELECTRONIC CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To reduce the number of through holes formed at a circuit substrate by placing a pair of mirror-symmetrical semiconductor chips at positions on the front surface of the substrate and directly under the rear surface side of the substrate, and electrically connecting the chips via the through holes formed at the substrate, thereby simplifying an interconnection pattern.

CONSTITUTION: A memory IC chip 10 is die bonded at predetermined position on the front surface of a circuit substrate 8, and connected to an outer lead bonding pad 9. A memory IC chip 10' mirror-symmetrical to the chip of a front surface side memory IC is die bonded to the rear surface of the substrate 8, and connected to the outer lead bonding pad 9' of the rear surface side. The pads 9, 9' are connected via a through hole 12 formed at the substrate 8. With this structure, the signal terminals of the chips 10, 10' having the same function are completely connected via one through hole 12 to simplify the wiring pattern, thereby minimizing the number of the through holes.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C) 1998, 2003 Japan Patent Office

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭63-136657

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)6月6日

H 01 L 25/00
H 05 K 1/18A-7638-5F
S-6736-5F

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 両面実装電子回路ユニット

⑯ 特 願 昭61-283701

⑰ 出 願 昭61(1986)11月28日

⑱ 発 明 考 羽 島 泰 郎 東京都府中市東芝町1 株式会社東芝府中工場内
 ⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地
 ⑳ 代 理 人 弁 理 士 須 山 佐 一

明 細 書

1. 発明の名称

両面実装電子回路ユニット

2. 特許請求の範囲

(1) 両面に配線パターンが形成された配線基板の表面および裏面に、それぞれ同一の構造を有する半導体チップを搭載するとともに、前記半導体チップの同一端子をそれぞれ電気的に接続してなる電子回路ユニットにおいて、配線基板の表面とその裏面の直下の位置に、互いにミラー対称の一方の半導体チップをそれぞれ搭載し、かつこれらの半導体チップを前記配線基板に設けたスルーホールを介してそれぞれ電気的に接続して成ることを特徴とする両面実装電子回路ユニット。

(2) 半導体チップはメモリ素子である特許請求の範囲第1項記載の両面実装電子回路ユニット。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、両面実装COB(チップオンボー

ド)タイプの電子回路ユニットに関する。

(従来の技術)

従来から両面実装型の電子回路ユニットの一つとして、第2図に示すように、表面両面および内部にそれぞれ配線パターン1、1'を有する配線基板2の両面に、それぞれメモリチップのような同じ構造を有する複数の半導体チップ3、3'を実装し、これらの半導体チップ3、3'をスルーホール4を介してそれぞれ配線パターン1、1'に電気的に接続するとともに、これら全体を絶縁樹脂5で封止した構造の電子回路ユニットが使用されている。なお、符号6は、金線、アルミ線のようなボンディングワイヤ、また7は接点を示す。

(発明が解決しようとする問題点)

しかしながらこのような電子回路ユニットにおいては、配線基板2の表面側とその直下の裏面側にそれぞれ搭載された半導体チップ3、3'のマスキングが同一であり各信号用端子の配置の仕方が同じであるため、これらの半導体チップ3、3'

特開明63-136057 (2)

の各端子を一つのスルーホール4により電気的に接続することができない。従って複雑な配線パターン1、1'を必要とし、多くのスルーホールが必要となって、半導体チップ9の実装密度が低くなってしまふという問題があった。

本発明はこのような問題を解決するためになされたもので、配線パターンを簡略化し、スルーホールの数を少なくすることができ、これによってチップ部品の高密度実装を可能とした両面実装電子回路ユニットを提供することを目的とする。

【発明の構成】

（問題点を解決するための手段）

本発明の両面実装電子回路ユニットは、両面に配線パターンが形成された配線基板の表面および裏面に、それぞれ同一の機能を有する半導体チップを搭載するとともに、両面半導体チップの同一端子をそれぞれ電気的に接続してなる電子回路ユニットにおいて、配線基板の裏面とその裏面の直下の位置に、互いにミラー対称の一方の半導体チップをそれぞれ搭載し、かつこれらの半導体

チップを前記配線基板に設けたスルーホールを介してそれぞれ電気的に接続して成ることを特徴としている。

（作用）

本発明の両面実装電子回路ユニットにおいては、配線基板の裏面側とその直下の裏面側の位置に、互いにミラー対称の一方の半導体チップがそれぞれ搭載されているので、これらの同一の信号用端子を、配線基板上の半導体チップ搭載位置の近傍に設けられた一つのスルーホールを介してそれぞれ電気的に接続することが可能となる。そのため余分な配線パターンを必要とせず、最小限のスルーホールで半導体チップの実装を行うことができ、実装密度の高い電子部品ユニットが得られる。

（実施例）

以下本発明の実施例を図面に基いて説明する。

第1図は本発明の両面実装電子回路ユニットの一実施例を示す一部断面図である。

図において符号8は表面両面および内部にそれぞれ配線パターン14、14'が形成された配線基板を示し、この配線基板8の裏面側とその裏面側の直下の位置には、メモリICチップ10およびこれと同一の機能を有しかつ端子配列がミラー対称のメモリICチップ10'が、それぞれ次のようにして実装されている。

すなわち、配線基板8の表面の既定の位置には、メモリICチップ10がダイボンドされ、このICチップ10がボンディングワイヤ11により、その周囲の配線基板8上に配線されたアウタリードボンディングパッド9に接続されている。また、配線基板8の裏面の前記メモリICチップ10のダイボンド位置の直下には、裏面側メモリICチップとミラー対称のメモリICチップ10'がダイボンドされ、ボンディングワイヤ11'によって裏面側のアウタリードボンディングパッド9'に電気的に接続されている。そして、表面側のアウタリードボンディングパッド9と対応する裏面側のアウタリードボンディングパッド

9'は、これらを貫通して配線基板8に設けられたスルーホール12によってそれぞれ電気的に接続されている。

さらに、このようにメモリICチップ10、10'が搭載された配線基板8の両面の周辺部には、それぞれ枠体13が立設されている。そして枠体13の内部には絶縁性樹脂14が注入されており、メモリICチップ10、10'はこの樹脂により気密に封止されている。

このように構成された実施例の両面実装電子回路ユニットにおいては、配線基板8の表面、両面にそれぞれ搭載された同一機能を有するメモリICチップ10、10'の各信号用端子が、それぞれが接続されたアウタリードボンディングパッド9、9'を貫通して設けられた一つのスルーホール12を介して完全に接続されているので、配線パターン14、14'を簡略化しスルーホール12の数を最小にすることができ、従って実装密度を広くとることができ、メモリICチップ10、10'を高密度に実装することができる。

[発明の要旨]

以上の説明から明らかなように、本発明の両面実装電子回路ユニットにおいては、配線パターンを簡略化し、スルーホール数を減少させることができる。さらにこれによって半導体チップを高密度に実装することが可能となる。

4. 図面の簡単な説明

第1図は本発明の両面実装電子回路ユニットの一実施例を示す一部断面図、第2図は従来の両面実装電子回路ユニットの一部断面図である。

1、1'、14、14'

-----配線パターン

2、8-----配線基板

3、3'-----半導体チップ

4、12-----スルーホール

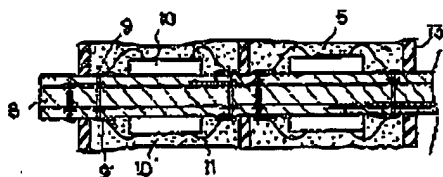
5-----絶縁性樹脂

6、11、11'-----ボンディングワイヤ

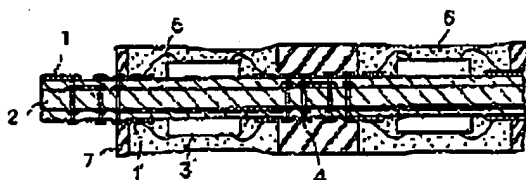
9、9'-----アウターリードボンディ

ングパッド

10-----メモリICチップ



第1図



第2図

特願昭63-136657 (3)

10'-----配線パターンがミラー対称の
メモリICチップ

出願人 株式会社 東芝

代理人 弁理士 須山 健一

手続補正書 (自発)

昭和62年4月24日

特許庁長官 殿

1. 事件の表示

特願昭61-283701号

2. 発明の名称

両面実装電子回路ユニット路

3. 補正をする者

事件との関係・特許出願人

(307) 株式会社 東芝

4. 代理人 〒101

東京都千代田区神田多町2丁目1番地

神田東山ビル 電話 03 (254) 1039

(7784) 弁理士 須山 健一

5. 補正の対象

明細書全文及び図面

6. 補正の内容

別紙の通り。

特開2006-136657 (4)

明 細 書

1. 発明の名称

両面実装電子回路ユニット

2. 特許請求の範囲

(1) 両面に配線パターンが形成された配線基板の表面および裏面に、それぞれ同一の機能を有する半導体チップを搭載するとともに、前記半導体チップの同一端子をそれぞれ電気的に接続してなる電子回路ユニットにおいて、配線基板の表面とその裏面側の直下の位置に、互いにミラー対称の一方の半導体チップをそれぞれ搭載し、かつこれらの半導体チップを前記配線基板に設けたスルーホールを介してそれぞれ電気的に接続して成ることを特徴とする両面実装電子回路ユニット。

(2) 半導体チップはメモリ素子である特許請求の範囲第1項記載の両面実装電子回路ユニット。

3. 発明の詳細な説明

〔発明の目的〕

〔産業上の利用分野〕

本発明は、両面実装COP（チップオンボー

ド）の各端子を一つのスルーホール4により電気的に接続することができない。従って複雑な配線パターン1、1'を必要としたり、多くのスルーホールが必要となって、半導体チップ3の実装密度が低くなってしまうという問題があった。

本発明はこのような問題を解決するためになされたもので、配線パターンを簡素化し、スルーホールの数を少なくすることができ、これによってチップ部品の実装密度を可能とした両面実装電子回路ユニットを提供することを目的とする。

〔発明の構成〕

〔問題点を解決するための手段〕

本発明の両面実装電子回路ユニットは、両面に配線パターンが形成された配線基板の表面および裏面に、それぞれ同一の機能を有する半導体チップを搭載するとともに、前記半導体チップの同一端子をそれぞれ電気的に接続してなる電子回路ユニットにおいて、配線基板の表面とその裏面側の直下の位置に、互いにミラー対称の一方の半導体チップをそれぞれ搭載し、かつこれらの半導体

ドタイプの子回路ユニットに関する。

〔従来の技術〕

従来から両面実装型の電子回路ユニットの一つとして、第2図に示すように、表面側および内部にそれぞれ配線パターン1、1'を有する配線基板2の両面に、それぞれメモリチップのような同じ機能を有する複数の半導体チップ3、3'を実装し、これらの半導体チップ3、3'をスルーホール4を介してそれぞれ配線パターン1、1'に電気的に接続するとともに、これら全体を絶縁性樹脂5で封止した構造の電子回路ユニットが使用されている。なお、符号6は、金線、アルミ線のようなボンディングワイヤ、また7は熱体を示す。

〔発明が解決しようとする問題点〕

しかしながらこのような電子回路ユニットにおいては、配線基板2の表面側とその裏面側の間にそれぞれ搭載された半導体チップ3、3'のマスクが同一であり各端子用端子の配置の仕方が同じであるため、これらの半導体チップ3、3'

チップを前記配線基板に設けたスルーホールを介してそれぞれ電気的に接続して成ることを特徴としている。

〔作用〕

本発明の両面実装電子回路ユニットにおいては、配線基板の表面側とその裏面側の位置に、互いにミラー対称の一方の半導体チップがそれぞれ搭載されているので、これらの同一の信号用端子を、配線基板上の半導体チップ搭載位置の近傍に設けられた一つのスルーホールを介してそれぞれ電気的に接続することが可能となる。そのため余分な配線パターンを必要とせず、最小数のスルーホールで半導体チップの実装を行うことができ、実装密度の高い電子回路ユニットが得られる。

〔実施例〕

以下本発明の実施例を図面に基づいて説明する。

第1図は本発明の両面実装電子回路ユニットの一実施例を示す一部断面図である。

特開昭63-136657 (5)

図において符号8は図面両面および内部にそれぞれ配線パターン14、14'が形成された配線基板を示し、この配線基板8の裏面側とその裏面側の直下の位置には、メモリICチップ10およびこれと同一の機能を有しかつ端子配列がミラー対称のメモリICチップ10'が、それぞれ次のようにして実装されている。

すなわち、配線基板8の裏面の所定の位置には、メモリICチップ10がダイボンドされ、このICチップ10がボンディングワイヤ11により、その周囲の配線基板8上に配設されたアウトリードボンディングパッド9に接続されている。また、配線基板8の裏面の前記メモリICチップ10のダイボンド位置の直下には、裏面側メモリICチップとミラー対称のメモリICチップ10'がダイボンドされ、ボンディングワイヤ11'によって裏面側のアウトリードボンディングパッド9'に電気的に接続されている。そして、裏面側のアウトリードボンディングパッド9と対峙する裏面側のアウトリードボンディングパッド

9'は、これらを実通して配線基板8に設けられたスルーホール12によってそれぞれ電気的に接続されている。

さらに、このようにメモリICチップ10、10'が搭載された配線基板8の両面の周辺部には、それぞれ枠体13が立設されている。そして、枠体13の内部には絶縁樹脂14が注入されており、メモリICチップ10、10'はこの樹脂により気密に封止されている。

このように構成された実施例の両面実装電子回路ユニットにおいては、配線基板8の表面、両面にそれぞれ搭載された同一機能を有するメモリICチップ10、10'の各信号用端子が、それぞれが接続されたアウトリードボンディングパッド9、9'を実通して設けられた一つのスルーホール12を介して完全に接続されているので、配線パターン14、14'を簡略化しスルーホール12の数を最小にすることができる。従って実装領域を広くとることができ、メモリICチップ10、10'を高密度に実装することができる。

【発明の効果】

以上の説明から明らかなように、本発明の両面実装電子回路ユニットにおいては、配線パターンを簡略化し、スルーホールの数を減少させることができる。さらにこれによって半導体チップを高密度に実装することが可能となる。

4. 図面の簡単な説明

第1図は本発明の両面実装電子回路ユニットの一実施例を示す一断面図、第2図は従来の両面実装電子回路ユニットの一部断面図である。

1、1'、14、14'

.....配線パターン

2、8.....配線基板

3、3'.....半導体チップ

4、12.....スルーホール

5.....絶縁性樹脂

6、11、11'.....ボンディングワイヤ

9、9'.....アウトリードボンディングパッド

10.....メモリICチップ

10'.....端子配列がミラー対称のメモリICチップ

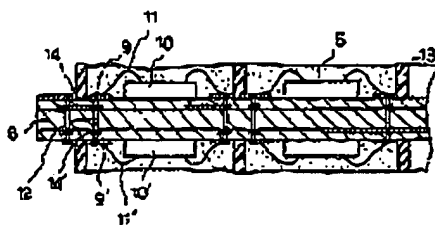
出願人

株式会社 東芝

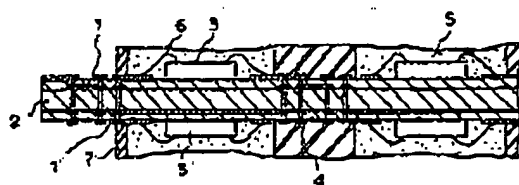
代理人 弁理士

組 山 佐 一

特許第163-136657 (E)



第 1 図



第 2 図